

? s an=jp 85184325  
S4 1 AN=JP 85184325  
? t 4/3/all

4/3/1  
DIALOG(R) File 347:JAPIO  
(c) 2001 JPO & JAPIO. All rts. reserv.

01846647  
POLYMER COMPOSITION AND MANUFACTURE

PUB. NO.: 61-060747 [JP 61060747 A]  
PUBLISHED: March 28, 1986 (19860328)  
INVENTOR(s): JIYON EMU KORUBETSUTO  
FURETSUDO DABURIYU NIYUUMAN  
APPLICANT(s): DOW CHEM CO THE [000723] (A Non-Japanese Company or  
Corporation), US (United States of America)  
APPL. NO.: 60-184325 [JP 85184325]  
FILED: August 23, 1985 (19850823)  
PRIORITY: 6-643,945 [US 643945-1984], US (United States of America),  
August 24, 1984 (19840824)

? s an=jp 85136796  
S5 1 AN=JP 85136796  
? t 5/9/all

5/9/1  
DIALOG(R) File 347:JAPIO  
(c) 2001 JPO & JAPIO. All rts. reserv.

02081667 \*\*Image available\*\*  
PROTECTION CIRCUIT

PUB. NO.: 61-295767 [JP 61295767 A]  
PUBLISHED: December 26, 1986 (19861226)  
INVENTOR(s): YAMATE KAZUNORI  
APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD [000582] (A Japanese Company  
or Corporation), JP (Japan)  
APPL. NO.: 60-136796 [JP 85136796]  
FILED: June 25, 1985 (19850625)  
INTL CLASS: [4] H04N-005/16  
JAPIO CLASS: 44.6 (COMMUNICATION -- Television)  
JOURNAL: Section: E, Section No. 510, Vol. 11, No. 165, Pg. 24, May  
27, 1987 (19870527)

#### ABSTRACT

PURPOSE: To protect an A/D converter from an abnormal operation when a source voltage is applied by connecting (n) diodes in series between the intersection of the 1st resistance and a voltage-controlled current source and the comparative DC input of a voltage comparator.

CONSTITUTION: When the source voltage is applied, a clamping capacitor 20 is not charged, so transistors (TR) 18 and 11 are cut off and there is not voltage drop across a resistance 8; and a clamping circuit output 9 tends to be to a potential which is the VEE of a TR 6 lower than the DC voltage of an input 7, but the input 17 with a reference voltage level from the A/D converter 3 is set to some point within the input range of the A/D

converter 3 through a resistance 22 and (n) diodes 23, so a current flows to the input 17 with the reference voltage level through the resistance 8, (n) diodes 23, and resistance 22, so that the voltage of the clamping circuit output 9 never rises above (the voltage value of the reference voltage input 17 from A/D converter) + (the forward voltage across the (n) diodes 23) + (the voltage drop across the resistance 22).

```
? s pn=jp
      S6      0  PN=JP
? s pn=jp 86138795
      S7      0  PN=JP 86138795
? s an=jp 86138795
      S8      1  AN=JP 86138795
? t 8/9/all
```

8/9/1

DIALOG(R)File 347:JAPIO  
(c) 2001 JPO & JAPIO. All rts. reserv.

02379822

CONTROL OF DC INTERLINKAGE EQUIPMENT

PUB. NO.: 62-296722 [JP 62296722 A]  
PUBLISHED: December 24, 1987 (19871224)  
INVENTOR(s): TSUCHIYA TOSHIKATSU  
APPLICANT(s): FUJI ELECTRIC CO LTD [000523] (A Japanese Company or Corporation), JP (Japan)  
APPL. NO.: 61-138795 [JP 86138795]  
FILED: June 14, 1986 (19860614)  
INTL CLASS: [4] H02J-003/36; H02J-003/18  
JAPIO CLASS: 43.3 (ELECTRIC POWER -- Transmission & Distribution)  
? s an=jp 86137564
 S9 1 AN=JP 86137564
? t 9/9/all

9/9/1

DIALOG(R)File 347:JAPIO  
(c) 2001 JPO & JAPIO. All rts. reserv.

02377119

MOORING CABLE OF FLOAT FISH BANK AND ITS REPLACEMENT

PUB. NO.: 62-294019 [JP 62294019 A]  
PUBLISHED: December 21, 1987 (19871221)  
INVENTOR(s): MIYASHITA AKIO
 ITO FUJIO  
APPLICANT(s): KOBE STEEL LTD [000119] (A Japanese Company or Corporation), JP (Japan)  
APPL. NO.: 61-137564 [JP 86137564]  
FILED: June 13, 1986 (19860613)  
INTL CLASS: [4] A01K-061/00  
JAPIO CLASS: 11.2 (AGRICULTURE -- Marine Products)  
? s an=jp 86103401
 S10 1 AN=JP 86103401
? t 10/9/all

10/9/1

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開  
⑫ 公開特許公報 (A) 昭60-136796

⑬ Int.Cl.  
G 09 G 1/28  
1/00

識別記号 庁内整理番号  
8121-5C  
7923-5C

⑭ 公開 昭和60年(1985)7月20日

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 カラーディスプレイ装置

⑯ 特 願 昭58-250744  
⑰ 出 願 昭58(1983)12月26日

⑱ 発明者 石持 春樹 大阪市阿倍野区長池町22番22号 シャープ株式会社内  
⑲ 発明者 増田 英夫 大阪市阿倍野区長池町22番22号 シャープ株式会社内  
⑳ 出願人 シャープ株式会社 大阪市阿倍野区長池町22番22号  
㉑ 代理人 弁理士 福士 賀彦 外2名

BEST AVAILABLE COPY

明細書

1. 発明の名称  
カラーディスプレイ装置
2. 特許請求の範囲
  1. 表示画面上の画素に対応してR、G、Bのデータ情報を記憶するメモリと、前記メモリから順次取出されR、G、Bのデータ情報を直角方向のドット幅の情報で個々に変換する少なくとも3つの場所で変換回路と、前記変換回路より得られるR、G、Bの個々の色情報に基づきカラーパネル画素を作成するカラーディスプレイ装置。
  2. 前記カラーパネル画素としてカラーフィルタ (CRT) を用いることを特徴とする前記特許請求の範囲1記載のカラーディスプレイ装置。
  3. 発明の詳細な説明
3. 技術分野
4. 本発明は、ナルコンセント等による出力情報を画面上にカラーディスプレイ装置に表示するものである。

② 前述技術

従来、この種のカラーディスプレイ装置においては、通常第1図に示すようにカラー画像信号発生装置1から送られて来た3ビットのカラー情報が書き込み制御回路2を介してリフレッシュメモリ3に書き込まれる。該リフレッシュメモリ3は表示画面のR(赤)、G(緑)、B(青)の各画素に対応して3つのメモリ素子を有し、各メモリ素子のそれぞれにカラー情報が個々に書き込まれる。このようにして画面データの全ての書き込みが完了した後、取出し制御回路4によってリフレッシュメモリ3からカラーパネル6の電子ビームの走査同期して各画素に対応するR、G、Bの3ビットのデータが順次取出され、それをR(赤)駆動回路5、G(緑)駆動回路6、G(青)駆動回路7より駆動回路5、G(緑)駆動回路6、G(青)駆動回路7を介してカラーパネル6に供給され、この結果CRT画面表示出力がデータに対応してR、G、Bの画素がドット状に発光され、そしてキャラクタやグラフィックが所望とする形で表示される。この場合リフレッシュメモリ3

リーステートバッファ 1-2 を介して R 駆動回路 5-R に供給される。このようにして主制のドット変換回路 7-R においては、その入出力波形を第 4 図の (④), (⑤), (⑥), (⑦) に示すように、"H" なる制御信号が印加されている場合には、該出し制御回路 4 から出力されます。なるドット幅を持った R 出力信号がそのまま R 駆動回路 5-R に供給され、一方制御信号が "L" になつたときには該出し制御回路 4 から出力される R ドット信号はとてて別のドット幅に変換された後、R 駆動回路 5-R に供給される。

なお上記実施例では特に R 信号ラインに挿入された左ドット変換回路 7-R の動作についてのみ説明したが、他のドット変換回路 7-G, 7-B についても同様の動作を行ない "L" なる制御信号が供給されたときに G, B の各ドット信号のドット幅が半減される。

なお上記制御信号は C-R (前面では省略) の動作に基づき該出し制御回路 4 から所要とする両者に対応する R, G, B の各ドット信号のドット幅が半減される。

図 3 図に示した実施例の場合と同様に該出し制御回路 4 から出力された T なるドット幅を持った R 出力信号がそのまま駆動回路 5 に供給される。ところが制御信号が "L" になつたときには該出し制御回路 4 から出力されるドット信号は左側フリップフロップ 1-3 にてそのドット幅が 2 倍に半減されて出力される一方で、特にドット幅が R 出力されない位置においても左 K 型フリップフロップ 1-4 から  $\frac{1}{2}$  のドット幅を持った信号が T ドット 1-5 及びリーステートバッファ 1-2 を介して出力され、この結果第 6 図に示すように左ドット信号が駆動回路 5 に供給される。

いま上記左ドット出力実施例の左ドット変換回路が第 2 図に示すカスケードドドリーブル方式に接続されている場合に、リーステートバッファ 1-2 が該出され左信号線は赤色のドット全駆動色である R 色に変換する具体的な動作を説明すると、この瞬間に左 R 駆動回路 5-R が右駆動回路 5-G, 5-B に示す如く特に R フィルタの反応をもつてドット幅を半減して信号を出力され、他の左 R フィル

7-G, 7-B に負荷印加される。

このような結果カラード CRT 表面上の所要位置で発光される R, G, B の特定の両者のドット幅が半減され、結果的にその両者位置は中間色、或いは頭頂色で表示されることになる。

なおこの場合、ある両者に対応するドット情報の該出し時に 3 つの左ドット変換回路 7-R, 7-G, 7-B と同時に "L" なる制御信号を与えれば、このとき R, G, B のドット幅が同時に半減される結果画面面上のその両者に対応する位置で色合の変化されず色の濃さのみが半減されることになる。

第 5 図は左ドット変換回路 7-R, 7-G, 7-B の別の実施例を示すものであり、ここでは第 3 図に示すものにさらに左 K 型フリップフロップ 1-4 及びオアゲート 1-5 を加えて成したものである。この回路の動作は第 3 図のものと相似しており詳しい説明は省略するが、その入出力波形を第 6 図に示す。

この場合 "H" なる制御信号が印加されている

時にドット信号は出力されない。そこでその該出しのタイミングに同期して R ライン及び B ラインの "H" レベルの制御信号を C-R から与えると、このとき R ラインの左ドット変換回路 7-R から第 7 回路 6 によって左 2 倍のドット幅を持つドットがそのまま出力され駆動回路 5-R を経てカラード CRT に供給される。一方このとき G ライン及び B ラインの左ドット変換回路 7-G, 7-B から第 7 回路 6 によって左 2 倍のドット幅を持つドット信号が特にその後半期間に出力され、それを左駆動回路 5-G, 5-B を介してカラード CRT に供給される。このとき左駆動 R フィルタ上に射出する両者信号はドット半減の赤色信号と白色の白色で発光され、視覚的にセシス色が発光されているよう見える。

#### （第 4 例）

以上のようにして本発明のカラード CRT が実現される。R, G, B の各信号ラインが開端で左右オアゲート 1-2 と駆動回路を接続され、左右各回路を並列に接続される。是に反して各信号接続色が中

顔色を表現することが可能となり、また必要に応じ色の濃さをも半減することも可能となり、R、G、Bのドット情報を記憶させるために大容量のメモリを使用しなくとも多色表示を行なうことができ大幅なコストダウンを図ることができる。

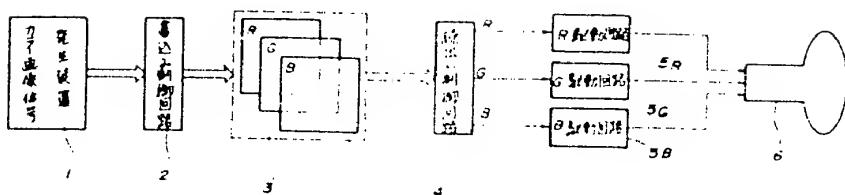
#### 4. 各部の簡単な説明

第1図は従来一般的なカラーディスプレイ装置のブロック図、第2図は本発明の一実施例のブロック図、第3図は本発明のカラーディスプレイ装置に用いられる各ドット変換回路のブロック図、第4図は第3図に示す各ドット変換回路の動作説明のための入出力信号波形図、第5図は本発明のカラーディスプレイ装置に用いられる他の各ドット変換回路のブロック図、第6図及び第7図はともに第5図に示す各ドット変換回路の動作説明のための信号波形図である。

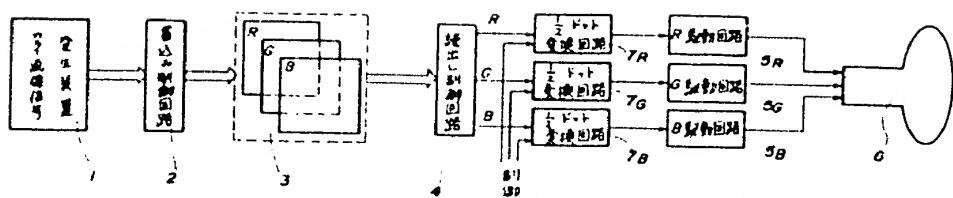
3…リフレッシュメモリ、4…映出し制御回路、5…カラーカRT、

7-R、7-G、7-B…各ドット変換回路

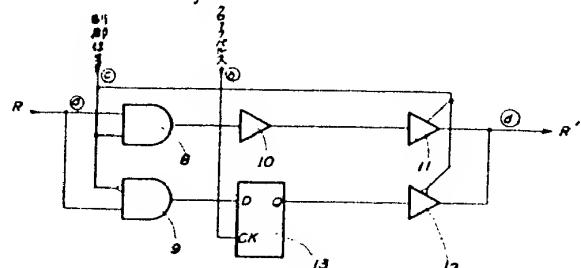
代理人 井畠士一 横一郎(他2名)



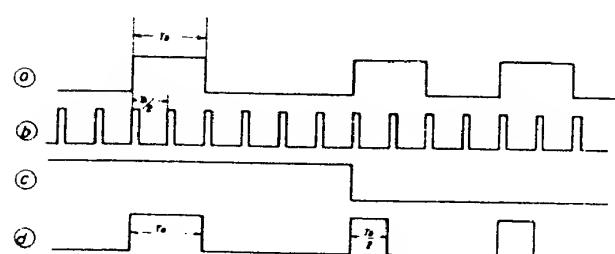
第1図



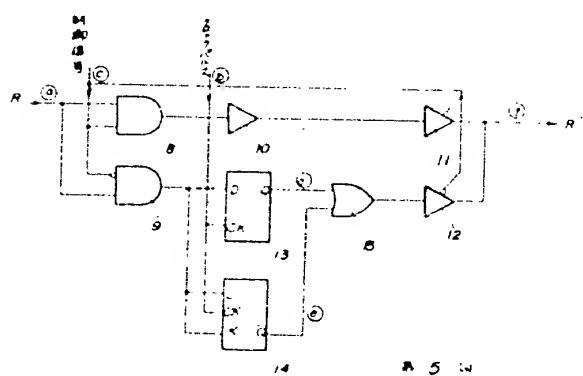
214



439



四三三



45 (4)

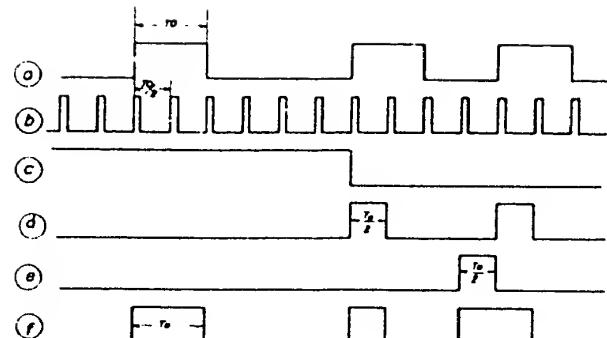


図 6

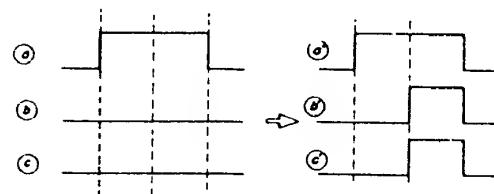


図 7